

Nobuyuki Yasutake et al
Japanese Patent Laid Open Sho 63-001032
"A method of forming patterns"

Claim 1

A method of forming patterns being over a boundary of neighboring sub-fields which are divided from a main field constituting a semiconductor wafer, comprising;

irradiating by first electron beam onto a pattern forming area of one sub-field side from one side of said boundary; and

irradiating by second electron beam of which exposure quantity is less than said first electron beam onto said pattern forming conjunction correcting area going to another sub-field side from another side of said boundary,

wherein an exposure quantity of said pattern forming area of said one sub-field side and an exposure quantity of said pattern forming conjunction correcting area are equal so as to an exposure quantity of all of patterns forming areas.

Field of the invention

This invention is related a method of forming patterns applied at a boundary of two sub-fields.

Background of the invention

From line 13 of right column of page 1 to line 9 of lower left column of page 2

In the method of forming patterns it is rarely to form one chip meaning one figure in one field meaning a main field. Usually many sub-fields should be conjoined. For example, as shown in Fig. 6 (A) at forming a pattern P (aluminum line) over two sub-fields SF1 and SF2 the pattern P is divided and formed in the two sub-fields SF1 and SF2. In that time it may be occurred that the pattern P is departed or overlapped at a boundary portion B. That is, a pattern P1 is formed from a side of the sub-field SF1 and a pattern P2 is formed from a side of the sub-field SF2, then the patterns P1 and P2 are connected as shown in Fig. 6 (B). The patterns P1 and P2 may be separated in irregular control of a beam deflection and the aluminum line may become cutted as shown Fig. 6 (C). On the other hand, the patterns P1 and P2 may be overlapped and the aluminum may be wasted as shown in Fig. 6 (D).

It is needed that the beam exposes equally at the boundary portion B and a predetermined pattern is formed accurately.

Two conventional methods of forming patterns are shown in Fig. 5. One is producing a conjoining pattern Pe extended from the pattern P1 as shown in Fig. 5 (A). Another is producing a new pattern Po overlapping both patterns P1 and P2 as shown in Fig. 5 (B).

The two methods above described have an effect to bring a good conjunction. A little quantity, however, of the beam exposure increases for forming the patterns Pe or Po when the patterns P1 and P2 are connected accurately. That is, a dose becomes over quantity.

On the other hand, positions of the patterns P1 and P2 may shift each other whether the correct exposure quantity was selected or not. For example, when the patterns P1 and P2 in Fig. 5 (A) or (B) shift to vertical direction, A conjunction portion of the patterns P1 and P2 becomes narrow as shown in Fig. 5 (C) or (D).

In that case, it is desirable and difficult that the conjunction pattern Po is formed in the middle of the patterns P1 and P2 as shown in Fig. 5 (E).

Namely, the conventional methods cannot solve an accurate problem of the conjunction portion between two patterns at the boundary of the sub-fields.

Summary of the invention

From line 12 of lower left column to line 12 of lower right column of page 2

A purpose of the invention is that the two patterns will be connected accurately at the boundary of the sub-fields.

The invention is described in claim 1 and shown in Fig. 1. A method of forming patterns being over a boundary of neighboring sub-fields comprises following steps. A main field MF constituting a semiconductor wafer is divided to a plurality of sub-fields SF1 and SF2 as shown in Fig. 1 (A). First electron beam irradiates onto a pattern forming area P1 (or P2) of one sub-field SF1 (or SF2) side from one side of said boundary portion B as shown in Fig. 1 (B) (or (C)). Second electron beam irradiates onto the boundary portion P11 (or P21) of which exposure quantity is less than said first electron beam onto said pattern P1 (or P2) forming conjunction correcting area going to another sub-field SF2 (or SF1) side from another side of said boundary portion B as shown in Fig. 1 (B) (or (C)). Wherein an exposure quantity of said pattern forming area P1 (or P2) of said one sub-field SF1 (or SF2) side and an exposure quantity of said pattern forming conjunction correcting area P11 (or P21) are equal so as to an exposure quantity of all of patterns forming areas as shown in Fig. 1 (D).

Detailed description of the preferred embodiment

From line 4 of upper left column to line 5 of upper left column of page 4

Preferred embodiments of the invention will now be described with reference to the accompanying drawings.

First embodiment is shown in Fig. 2 and second embodiment is shown in Fig. 3. An electron beam lithography system is shown in Fig. 4.

First embodiment shown in Fig. 2 is a case of a pattern P laying over a boundary portion B of both two neighboring sub-fields SF1 and SF2. Second embodiment shown in Fig. 3 is a case of a pattern P laying over boundary portions B12, B13, B24 and B34 of four neighboring sub-fields SF1, SF2, SF3 and SF4.

As shown in Fig. 4, in these embodiments a semiconductor wafer 6 is placed on a stage 7 and an electron beam 8 emitted from an electron source gun 1 irradiates onto sub-fields on the semiconductor wafer 6.

An information of the pattern P laying over the boundary portions B or B12, B13, B24 and B34 is pre-stored in a memory of a pattern generator 10. For example, this information of a pattern P1 in a sub-field SF1 in Fig. 2 (A) includes coordinates of starting point (X1, Y1) and ending point (X2, Y2) and an irradiating time t by the electron beam between these points. It is same way for conjunction patterns P11 and P21 and a pattern P2 in a sub-field SF2. ^{correct pattern}

As instructed by a CPU 9 this information is inputted from the pattern generator 10 to a blanking unit through a D/A converter 11 and an amplifire 12.

Therefore, a blanking operation is cancelled and a voltage between electrodes becomes zero from the point (X1, Y1) to the point (X2, Y2). For a pattern P1 the electron beam irradiates at the time enough that an exposing quantity is in proportion to 1.0. Similarly for a pattern P11 the beam irradiates from the point (X2, Y2) to the point (X3, Y3) at an exposing quantity being 0.5. For a pattern P21 the beam irradiates from the point (X3, Y3) to the point (X4, Y4) at an exposing quantity being 0.5. For a pattern P2 the beam irradiates from the point (X4, Y4) to the point (X5, Y5) at an exposing quantity being 1.0.

On the other hand, the information is inputted to a deflection unit 4 through a control circuit 13, a D/A converter 14 and an amplifire 15. The electron beam 8 goes through an upper slit plate 3 and a lower slit plate 5 and is deflected corresponding to a served voltage.

Fig. 2 (A) shows that conjunction patterns P11 and P21 do not overlap each other. Both length is 2a as shown in Fig. 2 (A). The patterns P11 and P21 are formed in a little narrow by irradiated in half quantity comparing with the patterns P1 and P2.

Fig. 2 (B) shows that a conjunction pattern P11 is formed over the pattern P2. The pattern P21 is in same way. Portions of the conjunction patterns P11

and P21 are formed in a little wide by irradiated in one half times quantity comparing with the patterns P1 and P2.

Fig. 2 (C) shows that the conjunction patterns P11 and P21 are shifted each other. In this case the exposure quantities become as shown in Fig. 2 (C).

Fig. 3 (A) shows that one pattern P lays over four sub-fields SF1 through SF4. The pattern P is divided as shown in Fig. 3 (B) through (E). An irradiating method of this case is same as the first embodiment such that all of exposure quantities become desired level. That is, when an exposure quantity of a pattern P1, P2, P3 or P4 at the side of each sub-field is 1, an exposure quantity of a conjunction pattern P11, P12, P21, P22, P31, P32, P41 or P42 is 1/2. And an exposure quantity of a conjunction pattern P13, P23, P33 or P43 laying over four sub-fields is 1/4.

Then exposure quantities of these patterns overlapping as shown in Fig. 3 (A) become 1.0.

The exposure quantities increase or decrease in case of considering proximity effects or heating effects by a time difference at irradiating.

An advantage in this method is that a conjunction pattern effects conjoining with the patterns because the conjunction pattern moves in response to a slip of a conjunction portion. Also, in case of departing or overlapping the patterns that effect will increase by irradiating a negative resist or a positive resist in a little overdose.

)

Signs in Fig. 4

1:an electron source gun, 2:a blanking unit, 3:an upper slit plate, 4:a deflection unit, 5:a lower slit plate, 6:a semiconductor wafer, 7:a stage, 8:an electron beam, 9:a CPU, 10:a pattern generator, 11:a D/A converter, 12:an amplifire, 13:a control circuit, 14:a D/A converter, 15:an amplifire, α :moving directions of the stage 7.

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭63-1032

⑫ Int.CI.

H 01 L 21/30
G 03 C 5/16

識別記号

3 4 1
3 0 4

府内整理番号

J - 7525-5F
7267-2H

⑬ 公開 昭和63年(1988)1月6日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 パターン形成方法

⑮ 特願 昭61-142912

⑯ 出願 昭61(1986)6月20日

⑰ 発明者 安武伸幸 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 発明者 小林孝一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代理人 弁理士 青木朗 外3名

明細書

1. 発明の名称

パターン形成方法

2. 特許請求の範囲 (Claim)

半導体ウェハを構成するメインフィールドを複数個のサブフィールドに分割し、隣接サブフィールド間の境界部にまたがったバターンを形成する方法において、

上記境界部の両側から、一方のサブフィールド側のバターン形成領域に電子ビームを照射すると共に他方のサブフィールド側に向かって組ぎ補正用バターン形成領域に上記一方のサブフィールド側バターン形成領域の電子ビーム照射量より少ない量の電子ビームを照射し、

これら境界部の両側から電子ビームが照射されたサブフィールド側バターン形成領域と組ぎ補正用バターン形成領域の照射量が全体のバターン形成領域の照射量に等しくなるようにしたことを特徴とするバターン形成方法。

3. 発明の詳細な説明

(概要)

パターン形成方法であって、サブフィールド接合部におけるビーム照射量を該接合部の両側で分割されるバターンの各に振り分けることによりビームを照射し、全体として必要な照射量を以ってバターンを形成するようにしてバターンの精度を向上させようとするものである。

(産業上の利用分野)

本発明は、2つのサブフィールドの境界において適用されるパターン形成方法に関する。

パターン形成方法においては、1チップを1フィールド(メインフィールド)内で形成出来る場合は少なく通常多くのフィールド(サブフィールド)を棲げる必要がある。例えば第6図(A)の如く、2つのサブフィールドSF1とSF2にわたってバターンP(アルミ配線)を形成する場合にこのバターンPを2つのサブフィールドSF1,SF2に分けて形成する。この際、サブフィールド境界

部Bでパターンが離れたり、重なったり不都合を生じやすい。即ち、サブフィールドSF1側からパターンP₁を、サブフィールドSF2側からパターンP₂をそれぞれ形成しこれらP₁とP₂を接合する(第6図(B))。しかし、ビームの偏光装置(第2図)の調整不能などでパターンP₁とP₂が離れた場合に(第6図(C))、Pによって形成されるアルミ配線が切断されることになる。他方、P₁とP₂が逆に重なり合うときは(第6図(D))、アルミが短駄になる。

従って、サブフィールド境界部Bでは、ビームを過不足なく照射し所定のパターンを精度良く形成する必要がある。

(従来の技術)

従来のサブフィールド境界部におけるパターン形成方法には2つあった。

第1の方法はパターンP₁に焼きしろP_eを設ける方法で、パターンP₁の延長として焼きしろパターンP_eを設ける(第5図(A))。

第2の方法はパターンP₁、パターンP₂の他に両パターンにまたがり新たなパターンP_oを形成する(第5図(B))。

(発明が解決しようとする問題点)

上述した従来の第1方法(第5図(A))、第2方法(第5図(B))共にサブフィールド境界部Bで焼きをよくする効果がある。

しかし、パターンP₁とP₂が正しく接合している場合焼き補正用パターンP_e、P_oを形成するためにビーム照射量が少し多くなる、即ちオーバードースとなる。

また、接合が正しい場合に照射量が正しくなるように照射量を選んでおいた場合にも位置ずれの影響を受けやすい。これは焼き補正用パターンP_e、P_oがサブフィールドSF1又はサブフィールドSF2のパターンとして形成されるためである。例えば第5図(A)(B)の場合パターンが縦方向にずれた場合、それぞれ第5図(C)(D)のように境界部Bの両パターンP₁、P₂の接合部が

粗くなり過ぎる。

両パターンP₁、P₂が縦方向にずれた場合は、例えば従来の第2方法(第5図(B))によれば焼き補正用パターンP_oが焼きの中間にくるのが一番望ましいが(第5図(E))、正確に中間にパターンを形成するのは困難である。

即ち、従来は、サブフィールド境界部において形成されるパターンの精度が低下するという問題点があった。

(問題点を解決するための手段)

本発明の目的は、上記問題点を解決しサブフィールド境界部におけるパターン精度を向上させることにある。

そのための手段は、第1図に示すように、半導体ウェハを構成するメインフィールドMFを複数個のサブフィールドSF1、SF2に分割し、隣接サブフィールド間の境界部BにまたがったパターンPを形成する方法において(第1図(A))、

上記境界部Bの両側から、一方のサブフィール

ド側のパターン形成領域P₁₁、P₂₁に電子ビームを照射すると共に他方のサブフィールド側に向かって焼き補正用パターン形成領域P₁₂、P₂₂に上記一方のサブフィールド側パターン形成領域の電子ビーム照射量(1.0)より少ない量の電子ビーム(0.5)を照射し(第1図(B)(C))、

これら境界部の両側から電子ビームが照射されたサブフィールド側パターン形成領域P₁₁、P₂₁と焼き補正用パターン形成領域P₁₂、P₂₂の照射量の和が(第1図(D))、全体のパターン形成領域の照射量に(第1図(A))等しくなるようにしたことを特徴とするパターン形成方法である。

(作用)

上述のとおり、本発明によれば、サブフィールド境界部における電子ビーム照射量を該境界部から離れたパターン形成領域と境界部近傍の焼き補正用パターン形成領域とで振り分けることにより、全体のパターン形成領域に必要な照射量を得ることができるので境界部の両側にまたがったパター

ンの精度を向上させることができるようになった。

(実施例)

以下、本発明を、実施例により添付図面を参照して、説明する。

第2図と3図は、それぞれ本発明の第1実施例、第2実施例を示す図、第4図は本発明を実施するための装置構成図である。

第2図の第1実施例は形成すべきパターンPが隣接するサブフィールドSF1、SF2の境界部Bの両側にまたがる場合、第3図の第2実施例は形成すべきパターンPが4つのサブフィールドSF1、SF2、SF3、SF4の境界部B₁₁、B₁₂、B₂₁、B₂₂の両側にまたがる場合である。

第2図と3図の実施例においては、先ず半導体ウェハ6をそのステージ7上に載置し、上方の電子流1から破線で示す電子ビーム8を該半導体ウェハ6のサブフィールド上に照射する(第4図)。

サブフィールドの境界部B(第2図)、B₁₁、B₂₁(第3図)の両側にまたがって形成すべきパタ

ーンの情報は予めバクーンジェネレータ10のメモリ中に格納されている。この情報は例えば、第2図(A)の場合は第1サブフィールドSF1側のバクーン形成領域P₁₁の始点と終点の座標(X₁₁, Y₁₁)、(X₂₁, Y₂₁)及びその間の電子ビーム照射時間t₁₁である。縫ぎ補正用パターン形成領域P₁₂、P₂₁、第2サブフィールド側パターン形成領域P₂₂についても同様である。

この情報は、CPU9の指示の下にバクーンジェネレータ10からD/Aコンバータ11、増幅器12を介してブランкиング装置2の電極へ入力される。

従って上記P₁₁に関しては(X₁₁, Y₁₁)から(X₂₁, Y₂₁)まではブランкиングが解除されて電極間の電圧は零になり、P₁₁におけるビームは照射量が1.0となるような時間だけ照射される。同様に、P₁₂については(X₁₂, Y₁₂)、(X₂₂, Y₂₂)間で照射量が0.5、P₂₁については(X₂₁, Y₂₁)、(X₃₁, Y₃₁)間で0.5、P₂₂については(X₃₁, Y₃₁)、(X₄₁, Y₄₁)間で1.0、それぞれビームが照射されるようにそ

れに比例した時間だけ、ビームが照射される。

このパターン情報は一方で、制御回路13、D/Aコンバータ14、増幅器15を介して偏光装置4へ送出され、所定の印加電圧に対応して電子ビーム8が、上方と下方のスリット3と5を通って振れるようになっている。

このような前提の下で、先ず第2図の実施例を説明する。

第2図(A)は縫ぎ補正用パターンP₁₁、P₂₁が全く重ならないで長さ寸法2 μ ずつを占める場合である。この場合縫ぎ補正用パターンP₁₁、P₂₁の部分は照射量はP₁₁、P₂₁の半分でパターンは多少細るが形成される。

第2図(B)は縫ぎ補正用パターンが互いに境界部Bの反対側へ侵入した場合で、並なり部分P₁₁+P₂₁、P₁₂+P₂₂の照射量はパターンP₁₁、P₂₁の1.5倍となりパターンは多少太るが形成される。

第2図(C)は双方のパターン形成領域と縫ぎ補正用パターン形成領域がずれている場合照射量

は同図に示す如くなる。

第3図(A)は1つのパターンPが4つのサブフィールドSF1乃至SF4にわたる場合である。バクーンPを第3図(B)乃至(E)に分け全体の照射量が所要の照射量となるようにする照射方法は第1実施例と同様である。即ち、各サブフィールド側のパターン形成領域P₁₁、P₁₂、P₂₁、P₂₂の照射量を1とすれば、縫ぎ補正用パターン形成領域P₁₁₁、P₁₂₁、P₂₁₁、P₂₂₁、P₁₁₂、P₁₂₂、P₂₁₂、P₂₂₂の照射量は $\frac{1}{4}$ 、更に4つのサブフィールドにまたがる縫ぎ補正用パターン形成領域P₁₂₂、P₂₁₂、P₂₂₂、P₁₁₂の照射量は $\frac{1}{4}$ である。

これらを重ね合わせた1つのパターン形成領域Pの照射量はすべて1となる。

照射量は、サブフィールド境界部での近接効果やビーム照射時の時間差による熱効果を考慮すれば上述したものより増減できる。

本方法における利点はパターン縫ぎを補正するパターンが縫ぐべきパターンの各々についているため縫ぎのずれに応じて縫ぎ補正用パターンが移

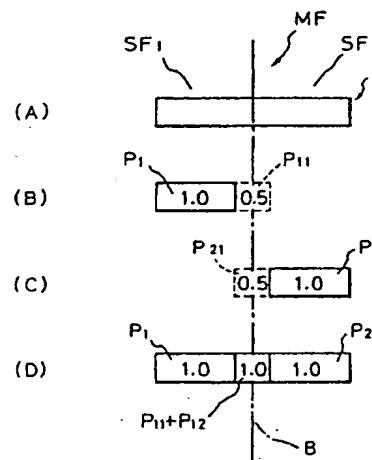
動し、粗ぎの効果を發揮することにある。又、パターン接合部が離れやすい場合や、重なりやすい場合には、ネガレジスト、ポジレジスト共オーバードース気味にするとより効果を大きくすることができます。

(発明の効果)

上述のとおり、本発明によれば、サブフィールド境界部における電子ビーム照射量を該境界部から離れたパターン形成領域と境界部近傍の粗ぎ補正用パターン形成領域とで振り分けることにより、全体のパターン形成領域に必要な照射量を得ることができるので境界部の両側にまたがったパターンの精度を向上させることができるようになった。

4. 図面の簡単な説明

第1図は本発明の原理図、第2図は本発明の第1実施例を示す図、第3図は本発明の第2実施例を示す図、第4図は本発明を実施するための装置構成図、第5図は従来技術の説明図、第6図は産業上の利用分野の説明図である。



本発明の原理図

第1図

MF…メインフィールド
SF₁, SF₂…サブフィールド
P…全体のパターン形成領域
B…境界部
P₁, P₂…各サブフィールド側パターン形成領域
P₁₁, P₂₁…粗ぎ補正用パターン形成領域
1.0, 0.5…電子ビーム照射量

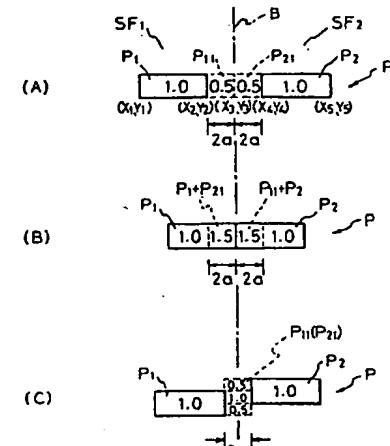
SF₁…第1サブフィールド、
SF₂…第2サブフィールド、
B…境界部、 P…パターン形成領域、
P₁, P₂…各サブフィールドパターン形成領域、
P₁₁, P₂₁…粗ぎ補正用パターン形成領域、
0.5, 1.0, 1.5…電子ビーム照射量、
2a…粗ぎ補正用パターン形成領域の長さ寸法、
(X₁, Y₁), (X₂, Y₂)…各パターン形成領域の座標。

特許出願人

富士通株式会社

特許出願代理人

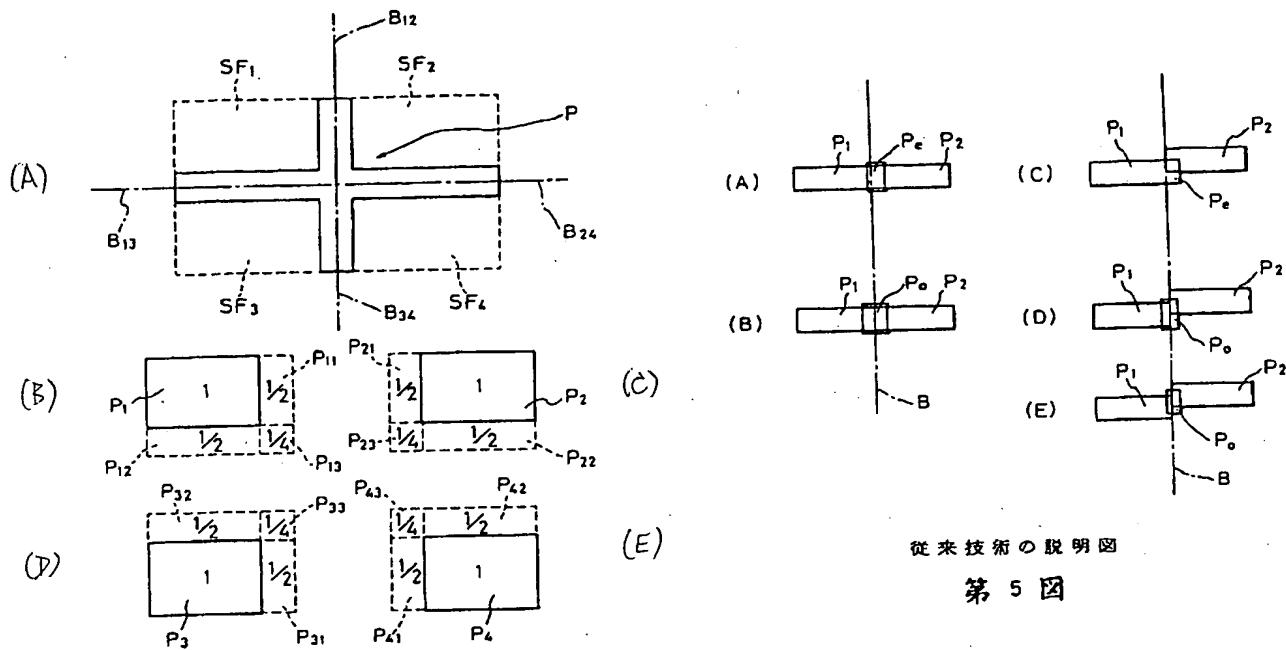
弁理士 脊木 邦
弁理士 西館 和之
弁理士 内田 幸男
弁理士 山口 昭之



本発明の第1実施例を示す図

第2図

SF₁…第1サブフィールド
SF₂…第2サブフィールド
B…境界部
P…パターン形成領域
P₁, P₂…各サブフィールドパターン形成領域
P₁₁, P₂₁…粗ぎ補正用パターン形成領域
0.5, 1.0, 1.5…電子ビーム照射量
2a…粗ぎ補正用パターン形成領域の長さ寸法
(X₁, Y₁), (X₂, Y₂)…各パターン形成領域の座標

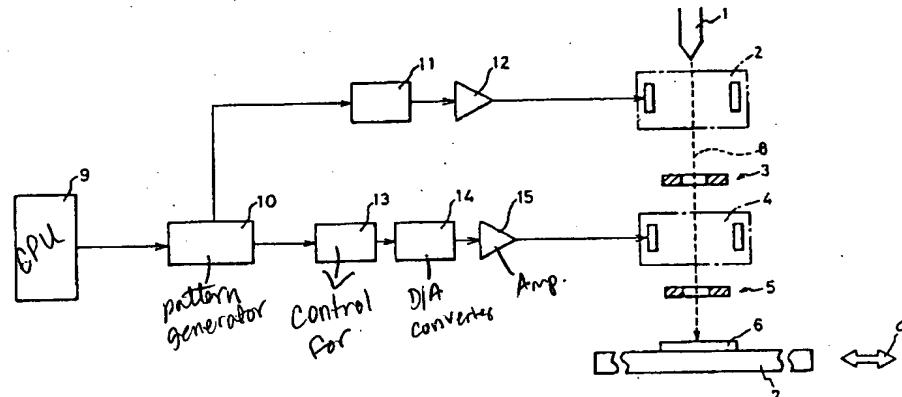


従来技術の説明図

第5図

本発明の第2実施例を示す図

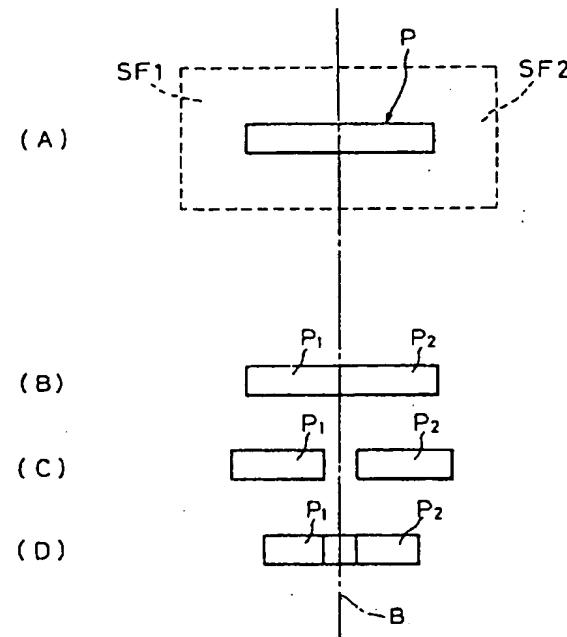
第3図



本発明を実施するための装置構成図

第4図

- | | |
|---------------|-----------------|
| 1...電子管 | 9...CPU |
| 2...ブランкиング装置 | 10...パターンジェネレータ |
| 3...上方スリット板 | 11...D/A コンバータ |
| 4...偏光装置 | 12...増幅器 |
| 5...下方スリット板 | 13...制御回路 |
| 6...半導体ウェハ | 14...D/A コンバータ |
| 7...ステージ | 15...均勻器 |
| 8...電子ビーム | α...ステージ移動方向 |



産業上の利用分野の説明図

第6図